

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-224941

(43) 公開日 平成11年(1999) 8月17日

(51) Int.Cl.⁴

識別記号

F I

H 0 1 L 27/146

H 0 1 L 27/14

A

H 0 4 N 9/07

H 0 4 N 9/07

A

審査請求 未請求 請求項の数 1 O L (全 10 頁)

(21) 出願番号 特願平10-300806

(22) 出願日 平成10年(1998)10月22日

(31) 優先権主張番号 08/960, 418

(32) 優先日 1997年10月29日

(33) 優先権主張国 米国 (US)

(71) 出願人 590000846

イーストマン コダック カンパニー
アメリカ合衆国, ニューヨーク14650, ロ
チェスター, ステイト ストリート343(72) 発明者 ロバート ミカエル ガイダッシュ
アメリカ合衆国 ニューヨーク州 ラッシ
ュ サンダー リッジ ドライブ 55

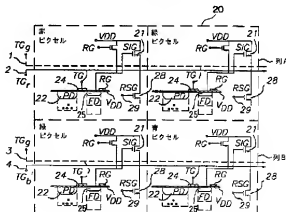
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 プログラム可能なカラーバランスを有するアクティブピクセルセンサの製造方法

(57) 【要約】

【課題】 半導体光センサでは所望のカラーバランスを得るため、電圧依存の信号処理を行うと、センサにてノイズを発生する。

【解決手段】 ピクセルアーキテクチャ20は、各色ごとに転送ゲートバスを有している。例えば、TGgバス1は列A内の緑ピクセルの各転送ゲート24に接続され、TGgバス2は列A内の赤ピクセルの各転送ゲート24に接続されている。各色毎にバスを有しており、色毎にPD22に電荷を蓄積する時間を決めることが可能である。このように、PD22に蓄積される電荷に依存した方法でカラーバランスを測るので、回路のノイズを減らすことが可能である。



【特許請求の範囲】

【請求項1】 半導体基板の主要表面上に形成される複数のピクセルと、

前記ピクセルに配列された少なくとも二種類の異なる色から成る複数のカラーフィルタと、

各前記ピクセルが感知ノードを含む光検出器を有する、半導体を基板としたイメージセンサの製造方法であって、

前記光検出器に隣接し、所定の信号をゲートに印加した時に前記光検出器に近接する静電位を整流する制御手段を有する複数のゲートを設けるステップと、

前記異なる色の各色に対して少なくとも一つのバスが備えられるよう配置される複数のバスであって、その各々が前記制御手段を介して、前記異なる色の一つのみと関連する前記ゲートと動作が連係するよう接続する複数のバスを設けるステップと、

前記ゲートを制御し、前記異なる色に対して個別の蓄積時間を設定するステップと、

を有することを特徴とするイメージセンサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブピクセルセンサ（APS）と称される半導体光センサおよびイメージャに関し、特に、高い信号対雑音比（SN比）を維持しつつ、カラーイメージセンサにプログラム可能なカラーバランスを提供する手段に関する。

【0002】

【従来の技術】APS装置は半導体イメージャであり、その各ピクセルは通常、光感知手段、リセット手段、電荷転送手段、電荷—電圧変換手段、および増幅器全体または一部を含む。APS装置は、イメージャ内の各ラインまたは行が選択され、行および列選択信号を用いて読み出す（各々、メモリ装置のワードおよびビットラインに相当する）ことにより動作される。

【0003】典型的な従来技術のAPSピクセルを、図1および図2に示す。図1のピクセルは、フォトダイオード（PD）またはフォトゲート（PG）のいずれかである光検出器（PDET）、転送ゲート（TG）、浮遊拡散領域（FD）、リセットゲート（RG）を含むリセットトランジスタ、行選択ゲート（RSG）を含む行選択トランジスタ、および信号トランジスタ（SIG）とを有する。図2のピクセルは、一般的にはフォトダイオード（PD）である光検出器（PDET）、リセットゲート（RG）を含むリセットトランジスタ、行選択ゲート（RSG）を含む行選択トランジスタ、および信号トランジスタ（SIG）を有する。従来型の全てのピクセルでは、上述の行単位センサ読み出しモードを容易に実施するために、一つのピクセル内のTGノード、RGノード、およびRSGノードは、ピクセル一列に対して割り当てられた単一のバスにて接続される。図1のピクセル

の蓄積時間は、TGが動作停止され蓄積が開始された時点から、その後動作されてFDに電荷を転送するまでの時間であるため、その行の各ピクセルの蓄積時間は同じである。蓄積時間が、RGが動作されPDがリセットされた時点から、読み出し信号が印加されPD内の電荷が読み出されるまでの時間である図2のピクセルにおいても同様に、行の各ピクセルの蓄積時間は同じである。

【0004】従来の装置では、各行における撮像は通常、各行の撮像が他の行へ一時的に置き換えられ、順次実行される。そして、各行は同じ蓄積時間を有する。カラー撮像時には、イメージセンサにはカラーフィルタアレイ（CFA）がかけられる。これらの個々のカラーフィルタは通常、異なる量の光エネルギーを通過させ、センサに入射させる。カラーフィルタは元来、カラーバランすまたはディスプレイ目的のために要求される光エネルギーを、必要量は通過させない。

【0005】

【発明が解決しようとする課題】したがって、センサ出力がアナログかデジタルかに係わらず、センサ出力には信号処理を実施しなければならない。それによって、各カラーチャネルに適切な利得を供給し、所望のカラーバランスを生成する。APS装置では、この電圧依存の信号処理はチップ上に実施できるが、それによる欠点を以下に挙げる。

【0006】（1）センサにてノイズを誘発する。

【0007】（2）複雑な回路が必要となり、より多くのシリコン面積および電力を消費し、フレームレートを低下させる。

【0008】上述の状況をかんがみれば、従来技術においてカラーバランスを改良したAPS装置が必要とされていることは明白であらう。

【0009】

【課題を解決するための手段】本発明は、上述の欠点を回避しつつ、プログラム可能なカラーバランスをカラーイメージセンサにて実施可能にすることにより、上記の問題の解決を図る。電圧依存の信号処理を実施しないプログラマブルカラーバランす手段を提供する一つのアプローチは、各カラーの蓄積時間を調節することである。それを実施すると、ピクセル内に生成される信号電荷は所望のカラーバランすに比例しており、その後の処理は全く必要が無い。本発明は、いずれの所定のカラーに対しても個別に蓄積を制御する方法を提供する。その際、同じセンサ読み出し機構を保持し、また従来技術の装置において必要な電圧依存のカラーバランす信号処理を不要とする。以上は、所定の行内の各カラーに、別々の転送ゲートバスまたはリセットゲートバスを設けることにより可能になる。このようにして、所定の行の各カラーの蓄積時間は、個別に制御される。

【0010】本発明は、一以上の上述の問題を解決するためのものである。本発明の一つの態様にしたがって要

約すれば、本発明は半導体イメージセンサであって、半導体基板の主要表面上に形成され、その各々が光検出器を有する複数のピクセルと、前記ピクセルに配列され少なくとも二つの異なる色から成る複数のカラーフィルタと、光検出器に近接し複数の電極の一つに制御される転送ゲートとを含む。その転送ゲートは、所定の電圧が転送ゲートの前記電極に印加されると、光検出器に近接する静電位を変調させ、静電位を光検出器から感知ノードへ転送する。半導体イメージセンサは更に、異なる色の各色に対して少なくとも一つのカラーバスが設けられるよう配置される複数のバスを含む。各バスは前記電極の一つを介して、異なる色の一つのみと関連する転送ゲートと動作が連係するよう接続される。半導体イメージセンサはまた、各カラーバスに対して少なくとも一つの接続を有し、所定の電圧をバスにて所定のタイミングで発生させることが可能なタイミング回路を含む。この半導体イメージセンサにおいては、各異なる色に対して、タイミング回路によって他の異なる色に関係なく制御される蓄積期間を設定することができ。

【0011】本発明の利点としては、シリコン面積の利用が効率的である、信号対雑音比（S/N比）が高い、並びにプログラム可能なカラーバランスを提供する、という点が挙げられる。

【0012】本発明の上記およびその他の態様、課題、特徴、並びに利点は、以下の好適な実施形態の詳細な説明を読むことおよび添付図面を参照することにより、より明確に理解されよう。なお、添付の複数の図面に共通の要素は、理解しやすくするために、できるだけ類似の符号を付してある。

【0013】

【発明の実施の形態】本発明の好適な実施形態によって構想される新しいピクセル構成を、図3、図4、図5、および図6に示す。本発明は、他の物理的実施形態にても実施可能である。図3、図4、図5、図6に示す実施形態が選ばれた理由は、本発明者が知る限り、それらが本発明にとって最適な実施形態であるからである。

【0014】図3および図4に示す各図は、行および列を形成するように配置されたピクセルを有するセンサに本発明を組み入れた、四つのピクセルのアレイを示す。図3および図4の各図では、ピクセルは象限を形成するように配置されている。この象限は、二つのピクセルを含む二つの行から成る。二つの行を接続することによって、列越しに隣接するピクセルが互に対存在する。図示されるCFAパターンは、ベイヤー方式のCFAパターンに基づいており、第一の列では赤と緑のピクセルが交互に並び、次の列では緑と青のピクセルが交互に並び、そして、続く列の緑のピクセルが前の列の緑のピクセルと列越しに隣接しないよう配置される。各図内の各ピクセルの構造的レイアウトは同じであり、同様の位置に同様の要素が配置されている。

【0015】図3および図4の個々のピクセルの構造が、それぞれ図1および図2に示すピクセルと近似していることは明白であろう。それにより、本発明の概念が従来技術と比較されて明確に説明される。

【0016】図3によれば、ピクセルアーキテクチャ20は、フォトダイオードまたはフォトゲートのいずれかである光検出器（PD）22と、転送ゲート（TG）24と、浮遊拡散領域（FD）25と、リセットゲート（RG）を含むリセットトランジスタと、列選択ゲート（RSG）29を含む列選択トランジスタ28と、信号トランジスタ（SIG）21とを有する。従来技術の装置では、一ピクセル内の転送ゲート、リセットゲート、および列選択ノードは各々、各ピクセル列ごとのバスによって接続されており、センサの列単位での読み出しが実施しやすくなっている。図1の従来技術のピクセルにおける蓄積期間は、転送ゲートが動作停止された時点で開始し、転送ゲートが動作されて電荷が浮遊拡散領域へ転送される時点で終了する。所定の列内の各ピクセルの転送ゲートはすべて単一のバスによって接続されているため、その列の各ピクセルの蓄積期間は本質的に同じである。

【0017】図3に示される実施形態によれば、転送ゲート24の位置は、各列にて二つの個別の転送ゲート信号バス1および2、または3および4によって記録できるように設計されている。本実施形態では、列Aに緑転送ゲート（Tg_g）バス1と赤転送ゲート（Tg_r）バス2が設けられ、列BにTg_gバス3と青転送ゲート（Tg_b）バス4が設けられる。列AのTg_rバス2は、列A内の赤ピクセルの各転送ゲート24に電気的に接続する。列AのTg_gバス1は、その列内の緑ピクセルの全ての転送ゲート24に電気的に接続する。列BのTg_gバス3は、列B内の緑ピクセルの各転送ゲート24に電気的に接続し、列BのTg_bバス4は、列B内の青ピクセルの各転送ゲート24に電気的に接続する。

【0018】この新しいアーキテクチャ設計の一つの動作モードを、図3に伴い図11を参照しながら以下に説明する。このモードは、焦点面シャッターモードと称される。図3に示す本構成は、他のモードでも使用できるように構想されているが、本構成には以下に説明するモードが最適であると発明者は考える。図3に示すピクセルアーキテクチャ20内で用いる色のうち、赤が最も感度が高いと考えられ、青が最も感度が低いと考えられる。イメージセンサはまず図11に示すように、全ての転送ゲート24およびリセットゲートが時刻T₁の以前に動作されることにより、初期化される。列Aの蓄積期間を開始するには、Tg_gバス1が動作停止され、光検出器22内に電荷が蓄積される。これは、列A内の全ての緑ピクセルに同時に実施される。所定時間後、Tg_rバス2が動作停止され、列A内の全ての赤ピクセルが電荷の蓄積を始める。この時点で列A内の全てのピクセルが、

蓄積期間に入っている。列Aでは所望の期間蓄積が実施される。その間、FDはリセットされ、リセットレベルがサンプルされ保持される。続いて、TG rパス2およびTG gパス1両方が同時に動作され、信号電荷は浮遊拡散領域へ転送される。その信号レベルは、サンプルされ保持される。以上の間、列Bでも蓄積が実施されている。TG bパス4がまず、TG gパス3より列時間上早い時点で動作停止され、その後TG rパスの動作停止が続く。続いて列Bは、列Aと同様に読み出される。以上の過程が、イメージセンサの全ての列において実施される。その実施は、同じtgのタイミング、即ち奇数列は列Aと同じ、偶数列は列Bと同じタイミングにて行われる。列時間内のtg動作停止の相対的位置によって決定される相対的蓄積時間は、所望のカラーバランスが得られるよう調節される。最も感度の低い色は、最も長い蓄積時間を有する。即ち、そうであるようプログラムされている。他の色の蓄積時間は、それに比べて適切に短く設定され、プログラムされた最も長い蓄積時間の比率で設定することも可能である。図12は、図3の装置の他の動作モードを示し、そこでは全ての蓄積期間は同じ時間範囲に重なっている。

【0019】図4によれば、ビクセルアーキテクチャ30は、通常はフォトダイオードである光検出器(PD)32と、リセットゲート(RG)37を含むリセットトランジスタと、列選択ゲート(RSG)を含む列選択トランジスタ38と、信号トランジスタ(SLG)31とを有する。これは、一列の各ビクセルの蓄積期間が同じである。図2に示す従来技術の装置と類似の構成である。その従来技術の装置において蓄積期間は、光検出器がリセットされた後リセットゲートが動作停止された時点から、光検出器内の電荷を読み出すよう読み出し信号が加えられる時点までである。所定の列内の各ビクセルのリセットゲートは単一のパスで接続されているため、それらビクセルの蓄積期間は本質的に同じである。

【0020】図4に示される実施形態は、各列に二つの個別のリセットゲートパス6および7、または8および9が記録できるように設計されている。図4によれば、列Aに緑リセットゲート(RGg)パス6と赤リセットゲート(RGr)パス7が備えられ、列BにはRGgパス8と青リセットゲート(RGb)パス9が備えられる。列AのRG rパス7は、その列内の全ての赤ビクセルのリセットゲート37に電気的に接続する。列AのRG gパス6は、その列内の全ての緑ビクセルのリセットゲート37に電気的に接続する。列BのRG gパス8は、列B内の全ての緑ビクセルのリセットゲート37に電気的に接続し、列BのRG bパス9は、列B内の全ての青ビクセルのリセットゲート37に電気的に接続する。

【0021】図4の実施形態は、図3の実施形態と同様の特徴を有する。ただし、図4のアーキテクチャには転送ゲートがなく、リセットゲート37を用いて蓄積期間

を設定する点異なる。使用する光検出器32の種類によって、ビクセルアーキテクチャ30では蓄積期間の設定にリセットゲート37を用いることが可能になる。光検出器32は、標準的なフォトダイオード、またはピン接続部33およびピン非接続部34の両方を含む部分のピン接続されたフォトダイオード、のいずれかである。光検出器の大部分はピン接続されたフォトダイオードであり、ピン接続部33によって形成される。ピン非接続部34は、信号トランジスタ31の入力ノードとして使用される浮遊領域として機能する。

【0022】ビクセルアーキテクチャ30の動作を、図4を参照しながら以下に説明する。図4に示すビクセルアーキテクチャ30内で使用される色のうち、図3に関して前述したと同じく、赤が最も感度が高いと考えられ、青が最も感度が低いと考えられる。イメージセンサは、リセットゲート37が動作されることにより初期化される。列Aの蓄積期間を開始するには、RG gパス6が動作停止され、電荷が光検出器32に蓄積される。これは、列A内の全ての緑ビクセルに同時に実施される。所定時間後、RG rパス7が動作停止され、列A内の全ての赤ビクセルが電荷の蓄積を始める。列Aでは所望の期間蓄積が実施され、その後信号レベルがサンプルされ保持される。続いて、両色のビクセルのリセットゲートが動作され、リセットレベルがサンプルされる。以上の間、列Bでも蓄積が実施されている。RG bパス9がまず、RG gパス8より列時間上早い時点で動作停止される。続いて列Bは、列Aと同様に読み出される。以上の過程が、イメージセンサの全ての列において実施される。その実施は、同様のタイミング、即ち奇数列は列Aと同じ、偶数列は列Bと同じタイミングにて行われる。列時間内でのリセットゲート37の動作停止によって決定される相対的蓄積時間は、所望のカラーバランスが得られるよう調節される。最も感度の低い色は、最も長い蓄積時間を有する。即ち、そうであるようプログラムされている。他の色の蓄積時間は、それに比べて適切に短く設定され、プログラムされた最も長い蓄積時間の比率で設定することも可能である。

【0023】このようにしてカラーバランスを図るための電荷依存の方法では、ノイズ電荷の蓄積が最小限に押さえられるので、SN比が向上される。また、回路ノイズを増加させ、ビクセル電子ノイズを発生させる基板電位の揺らぎを誘発させる可能性のある、信号処理の必要量が低減される。

【0024】本発明のアーキテクチャは、効率的なシリコン面積の利用と高いSN比を特徴とする。プログラム可能なカラーバランス達成手段を提供する。図示するペイヤー方式のCF Aパターンでは、一列につき一本、追加の金属ラインが必要である。他のCF Aパターンでは、一列につき一本より多くの追加のパスが必要な場合もある。しかし、CMOS(相補型金属酸化膜半導体)

製造プロセスでは多くの金属層が設けられ、金属層は互いに重なり合って配置されることができ、またピクセル内には追加のトランジスタやゲートは必要ないことから、一本の金属線の追加が充率率に悪影響を及ぼすことはない。更に本アーキテクチャは、現在の単一増幅器読み出し機構と共に使用でき、同一のピクセルを使用していることから、イメージサンプリングアバーチャの違いに起因するイメージアーティファクトは発生しない。なお、一列につきいくつかのロジックデコーダ回路が必要となる。しかし、これらはイメージアレイ外のCMOSロジックに組み込まれるため、ピクセルおよびイメージアレイ領域に悪影響を及ぼすことはない。またロジックデコーダ回路は列ごとに動作するため、イメージ処理信号回路にノイズを発生させることはない。

【0025】各色に個別の転送ゲート信号バスまたはリセットゲート信号バスを設けるという概念は、上述したとおり列ごとにだけでなく、イメージアレイ全体にも適用可能である。この適用は、機械的シャッターが読み出し期間中閉鎖され、フレーム撮像モードでの動作が容易になっている場合に好ましい。

【0026】図5に本発明の直線に配列された実施形態を、三重リニア装置 (tri-linear device) 40 において示す。この装置の動作のためのタイミングチャートを、図13および図14に示す。三重リニア装置40は、リニアセンサ80、81、および82を含む。各リニアセンサ80、81、82は、フォトダイオード42を含む光検出器と、転送ゲート43と、浮遊拡散領域44とを有する。更に各リニアセンサ80、81、82は、列選択ゲート(RSG)、リセットゲート(RG)、および信号トランジスタ(SIG)を含む制御回路45を有する。ここで、三つのリニア装置80、81、82にはそれぞれカラーフィルタが設けられ、リニアセンサ80、81、82が赤、緑、または青の波長に感度を有するよう設定されている。更に重要なことに、各リニアセンサ80、81、82には個別の転送ゲートバスTGr、TGg、およびTGbがそれぞれ備えられている。それにより各リニアセンサ80、81、82によって独自の蓄積期間を、転送ゲートバスを通じて個別に制御することができる。

【0027】図6に、アクティブピクセルセンサの直線に配列された他の実施形態を示す。本実施形態のアクティブピクセルセンサ75は設置されるリニアセンサ83、84、および85を含み、各リニアセンサは、リセットゲート48に隣接してフォトダイオード47を有し、更に信号トランジスタ(SIG)と列選択ゲート(RSG)を含む制御回路49を有する。前述の二重リニア装置の実施形態と同様に、図6の各リニアセンサ83、84、85には個別のリセットゲートバスRGr、RGg、およびRGbが備えられており、それらバスの電位は互いに別々に制御される。リセットゲートバスRGr、RGg、

RGbは、各リニアセンサ83、84、85の個別のリセット制御を可能にする。図6のリニアセンサの蓄積期間は、ピクセルのリセット後に開始し、フォトダイオード内に蓄積された電荷がSIGによって感知されるまで続く。したがって個別のリセットゲートバスRGr、RGg、RGbは、各リニアセンサ83、84、85の独立した制御を可能にする。

【0028】図7に、従来技術のアクティブピクセルセンサ50を示す。このアクティブピクセルセンサは、フォトゲート52から転送ゲート53を通じて浮遊拡散領域54へ電荷を転送する、フォトゲート52をベースにしたピクセルを含む。蓄積期間は、フォトゲート52が蓄積から放出へスイッチされて蓄積が開始するタイミングと、続いてフォトゲートが蓄積に戻されて信号電荷が浮遊拡散領域54へ転送されるタイミングとで決定される。電荷は、浮遊拡散領域54へ転送されると、リセットゲート(RG)、列選択ゲート(RSG)、および信号(SIG)トランジスタを含む制御回路55によって感知される。浮遊拡散領域は、SIGトランジスタへの入力部として機能する。図7の従来技術の装置では、各イメージセンサのフォトゲート52を制御するために、単一のバスが備えられる。

【0029】図8に、他の従来技術のアクティブピクセルセンサを示す。このアクティブピクセルセンサでは電荷が、フォトゲート57から、制御回路59内のSIGトランジスタに直接転送される。上述の図7の従来技術装置と動作が類似しているが、ここでは蓄積期間は、信号レベルの読み出し後にリセットを容易にするようフォトゲート57が蓄積にスイッチされる時点によって左右される。したがって蓄積期間は、ピクセル56がリセットゲート58を通じてリセットされた時点から、SIGトランジスタがフォトゲート57の電荷レベルを読み出す時点までである。

【0030】図9に、ピクセルアーキテクチャ60に基づくアクティブピクセルセンサを有する本発明の実施形態を示す。このアクティブピクセルセンサでは電荷を、フォトゲート62から転送ゲート63を通じて浮遊拡散領域64へ転送する。蓄積期間は、フォトゲート62が放出へスイッチされて蓄積が開始するタイミングと、続いてフォトゲートが蓄積に戻されて信号電荷が浮遊拡散領域64へ転送されるタイミングとで決定される。電荷は、浮遊拡散領域64へ転送されると、リセットゲート(RG)、列選択ゲート(RSG)、および信号(SIG)トランジスタを含む制御回路65によって感知される。浮遊拡散領域は、SIGトランジスタへの入力部として機能する。

【0031】図10には、フォトゲートをベースにしたピクセル71を用いるアクティブピクセルセンサ70を有する本発明の実施形態を示す。ここでは蓄積期間は、信号レベルの読み出し後にリセットを容易にするようフ

フォトゲート 72 が蓄積にスイッチされる時点によって左右される。したがって蓄積期間は、フォトゲート 72 をバイアスして蓄積へスイッチリセットゲート 73 へ電荷を転送することによってアクティブピクセルセンサ 70 内でピクセルがリセットされた時点から、S I G トランジスタがフォトゲート 72 の電荷レベルを読み出す時点までである。図 10 に示す本発明が図 8 の従来技術のピクセルと異なる点は、赤、緑、および青それぞれに対して個別のバスポグ、P G、および P G b が設けられ、各色のフォトゲート 72 を個別に制御できる点である。

【0032】図 11 は、図 3 に示すアレー領域における、焦点面シャッターモードでの動作を表すタイミングチャートである。各蓄積期間の長さは、適切なカラーバランスを達成するよう調節されている。t_g は緑ピクセルの蓄積期間を表し、列 A および列 B それぞれに実施される。t_r は赤ピクセルの蓄積期間を表し、蓄積期間のうちの最長である。t_b は青ピクセルの蓄積期間を表し、蓄積期間うちの最長である。

【0033】図 12 は、図 3 に示す本発明のアレー領域における、グローバルシャッターモードでの動作を表すタイミングチャートである。蓄積期間を表す記号は、図 11 で使用したものと同じである。このチャートによれば、各色の蓄積時間は同時に終了する。それによりイメージは、全てのピクセルによって同時に撮像される。異なる色のためのピクセルは、異なる長さの蓄積期間を有するが、蓄積は同時に実施される。最短色（赤）の蓄積期間は、他のチャンネルのより長い蓄積期間内に含まれる。

【0034】図 13 は、図 5 に示す本発明の直線に配列された装置における、焦点面シャッターモードでの動作を表すタイミングチャートである。赤チャンネルの蓄積期間は緑チャンネルのそれよりも有意に短く、緑チャンネルの蓄積期間は青チャンネルのそれよりも有意に短く示されている。

【0035】図 14 は、図 5 に示す本発明の直線に配列された装置における、グローバルシャッターモードでの動作を表すタイミングチャートである。この装置では、一つのカラーチャンネル内の各ピクセル要素の蓄積は、同時に実施される。異なる色のためのチャンネルは、異なる長さの蓄積期間を有するが、蓄積は同時に実施される。ここでは各カラーチャンネルの蓄積期間は、異なるタイミングで開始および終了することによって、各蓄積期間の中心部が同じ時点に実施されるよう調節されている。しかし蓄積期間は、このように互いにセンタリングされている必要はない。

【0036】発明者の知る限り本発明の実施に最適なモードが、以上によって説明される。これらのモードの明らかな変形は当業者にとって明白であり、本発明の範囲は請求項にしたがってしかるべく判断される。

【図面の簡単な説明】

【図 1】 従来技術の A P S ピクセルを示す略図である。

【図 2】 従来技術の他の A P S ピクセルを示す略図である。

【図 3】 本発明の第一の好適な実施形態を示す略図である。

【図 4】 本発明の第一の好適な実施形態を示す略図である。

【図 5】 三つのリニアセンサを含む、本発明の直線配列した実施形態を示す略図である。

【図 6】 本発明の他の直線配列した実施形態を示す略図である。

【図 7】 フォトゲートをベースにしたピクセルを用いた、従来技術のアクティブピクセルセンサを示す略図である。

【図 8】 フォトゲートをベースにしたピクセルを用いた、従来技術の他のアクティブピクセルセンサを示す略図である。

【図 9】 フォトゲートをベースにしたピクセルを用いたアクティブピクセルセンサを含む、本発明の実施形態を示す略図である。

【図 10】 フォトゲートをベースにしたピクセルを用いたアクティブピクセルセンサを含む、本発明の実施形態を示す略図である。

【図 11】 本発明のアレー領域における焦点面シャッターモードでの動作を表すタイミングチャートである。

【図 12】 本発明のアレー領域におけるグローバルシャッターモードでの動作を表すタイミングチャートである。

【図 13】 本発明のリニア装置における焦点面シャッターモードでの動作を表すタイミングチャートである。

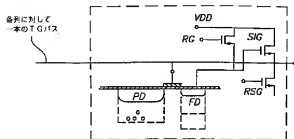
【図 14】 本発明のリニア装置におけるグローバルシャッターモードでの動作を表すタイミングチャートである。

【符号の説明】

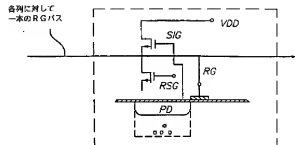
1, 3 緑転送ゲート (T G g) バス、2 赤転送ゲート (T G r) バス、4 青転送ゲート (T G b) バス、6, 8 緑リセットゲート (R G g) バス、7 赤リセットゲート (R G r) バス、9 青リセットゲート (R G b) バス、20, 30, 60 ピクセルアーキテクチャ、21, 31 信号トランジスタ、22, 32 光検出器、24, 43, 53, 63 転送ゲート、25, 44, 54, 64 浮遊拡散領域、37, 48, 58, 73 リセットゲート、28, 38 列選択トランジスタ、29 列選択ゲート、33 ピン接続部、34 ピン非接続部、40 三重リニア装置、42, 47 フォトダイオード、45, 49, 55, 59, 65 制御回路、50, 70, 75 アクティブピクセルセンサ、52, 57, 62, 72 フォトゲート、56, 71 ピクセル

ル、80、81、82、83、84、85 リニアセン サ。

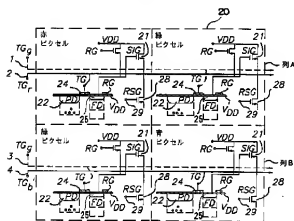
【図1】



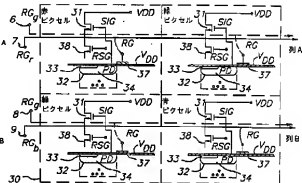
【図2】



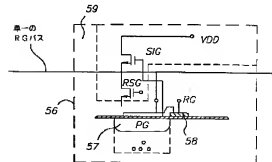
【図3】



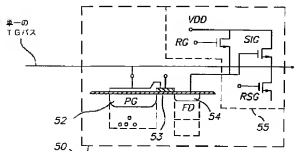
【図4】



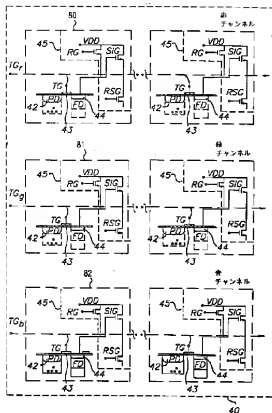
【図8】



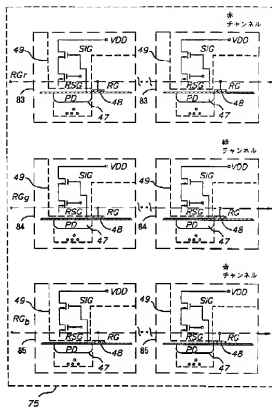
【図7】



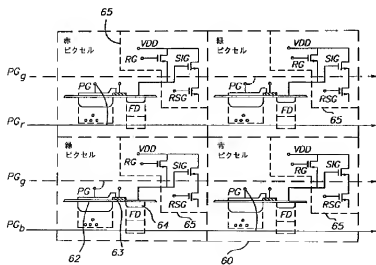
【図5】



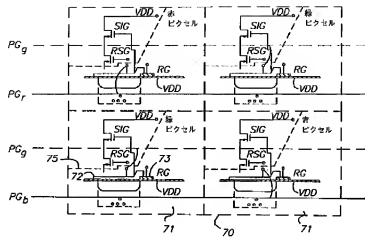
【図6】



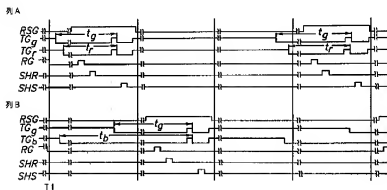
【図9】



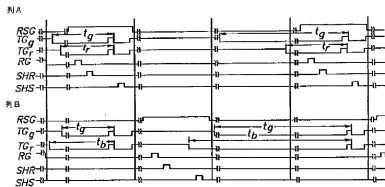
【図10】



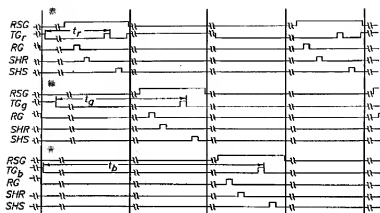
【図11】



【図12】



【図 1 3】



【図 1 4】

